

基于 PDSOI 的锁相环电路单粒子瞬变敏感性研究

于 猛^{1,2,3}, 曾传滨^{2,3}, 闫薇薇^{2,3}, 李 博^{2,3}, 高林春^{2,3}, 罗家俊^{2,3}, 韩郑生^{1,2,3}

(1 中国科学院大学, 北京 100029; 2 中国科学院 微电子研究所, 北京 100029;

3 中国科学院 硅器件技术重点实验室, 北京 100029)

摘 要: 分析了一款基于 0.35 μm PDSOI 工艺的锁相环(PLL)电路的抗单粒子瞬变(SET)能力, 利用相位抖动为表征参数评估 SET 对 PLL 电路的影响与产生影响的可能性. 电路级仿真采用优化过的 SET 注入模型, 提高了仿真预测的准确程度. 分析了 PLL 电路的 SET 敏感节点与敏感工作状态, 仿真与激光测试表明, 分频器(DIV)与输出低压正发射极耦合逻辑(LVPECL)是最敏感的电路模块, 其内部节点的敏感性与节点分布和电路工作状态关系密切. 最恶劣情况下相位抖动可达输出周期的一半左右, 分析结果有助于抗 SET 加固设计.

关键词: 单粒子瞬变; 锁相环; 辐射效应; 相位抖动

中图分类号: TN386.1

文献标识码: A

文章编号: 1000-7180(2017)08-0076-06

Research on Single-Event Transients Sensitivity in Phase-Locked Loops Based on PDSOI Process

YU Meng^{1,2,3}, ZENG Chuan-bin^{2,3}, YAN Wei-wei^{2,3}, LI Bo^{2,3},
GAO Lin-chun^{2,3}, LUO Jia-jun^{2,3}, HAN Zheng-sheng^{1,2,3}

(1 University of Chinese Academy of Sciences, Beijing 100029, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

3 Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Single-event transients (SET) sensitivity of a Phase-Locked-Loops (PLL) based on 0.35 μm PDSOI process has been analyzed. By measuring the phase jitter of PLL's output, the impacts of SET and their occurring possibility have been evaluated. An optimized SET injection model was used in circuit level simulation to improve the accuracy of simulation prediction. The SET sensitive nodes and operating condition of circuit are analyzed, and the results show that frequency divider (DIV) and output Low Voltage Positive Emitter-Couple Logic (LVPECL) are the most sensitive sub-circuits, whose SET sensitivities are close related to their working condition. In the worst case, phase jitter can be up to about half of the output cycle. Analysis results would be helpful to the design of radiation hardening.

Key words: single-event transients; phase-locked loops; radiation effects; phase jitter

1 引言

单粒子瞬变(Single-event Transients, SET)是导致航天器中锁相环(Phase-Locked Loops, PLL)电路失效的一个重要原因^[1]. SET 会引起 PLL 输出时钟信号失真, 产生频率和相位偏差, 严重时导致

电路失锁, 造成接收 PLL 输出信号的芯片功能中断或接口通信中断.

由于失效机理复杂, 常见的 PLL 电路抗 SET 能力分析中往往采用仿真或激光模拟单粒子实验的方式, 考察电路性能的变化从而判断敏感节点分布. 传统的 SET 敏感节点表征方法主要通过考察某些

节点上的电压变化来实现,这种考察方式对激光实验中的设备灵敏度要求较高,测试结果的精确程度受到实验设备与测试环境的限制.然而以相位抖动^[2]或误差响应^[3]作为表征参数,则降低了对实验设备与测试环境的要求,提高了实验的可重复性.这种表征方式目前已经在 VCO 中得到了应用^[4],而在 PLL 整体电路中却鲜有应用.

本文利用电路级仿真与激光模拟单粒子实验结合的方法,分析了一款基于 0.35 μm PDSOI 工艺设计并制造的 PLL 电路的抗 SET 能力.

2 PLL 电路描述

PLL 是典型的数模混合电路,常用于频率合成与时钟数据恢复(CCD).本文所分析的 PLL 采用 0.35 μm PDSOI 设计并制造,电路框图如图 1 所示.

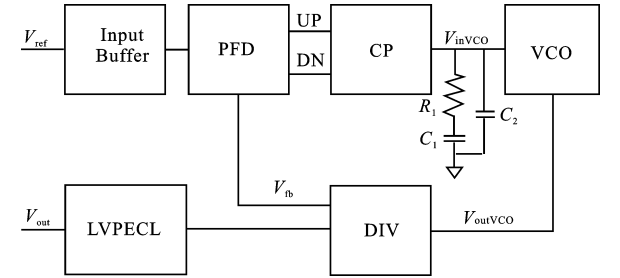


图 1 PLL 电路结构图

2.1 PLL 电路结构

PLL 电路中包含 7 个子电路:输入缓冲器(Input Buffer)、鉴频鉴相器(PFD)、电荷泵(CP)、压控振荡器(VCO)、滤波器(LPF)、分频器(DIV)以及输出低压正发射极耦合逻辑(LVPECL).其中,PFD 用于比较输入参考信号(V_{ref})与反馈信号(V_{fb}),捕捉两者的相位差,产生与相位差正比的电压脉冲信号 UP 与 DN. CP 通过 UP 与 DN 的控制对后端电容进行充电、放电,CP 的输出经 LPF 滤波后形成一个比较稳定的电压信号(V_{inVCO}),以控制 VCO 的输出频率. VCO 的输出信号 V_{outVCO} 由 DIV 电路 32 倍分频后反馈到 PFD 中与输入参考信号比较,从而完成一个循环过程. VCO 输出信号由 DIV 中另一支路 8 倍分频后输出到 LVPECL 进行电压匹配,因此当 PLL 锁定时 PLL 输出信号频率为输入信号的 4 倍. 分频器 DIV 的第一级是电压整形电路;第二级由真单向时钟(True Single Phase Clock, TSPC)构成;其余分频器均由 D 触发器构成.

2.2 PLL 设计参数

基本设计参数包括工作电压 VDD、CP 电流(I_{CP})、LPF 中电容(C_1 、 C_2)与电阻(R_1)、VCO 增益(K_{VCO})、VCO 中心频率(f_{C})以及 DIV 分频比(N),如表 1 所示.

表 1 PLL 设计参数

参数	设计值
VDD	3.3 V
I_{CP}	194 μA
C_1	200 pF
C_2	30 pF
R_1	4 k Ω
K_{VCO}	86 MHz/V
f_{C}	228.5 MHz
N	32

PLL 输出信号 V_{out} 与反馈信号 V_{fb} 来自 DIV 中不同的分频模块,它们的频率分别是 VCO 输出信号 V_{inVCO} 的 1/8 和 1/32, V_{inVCO} 、 V_{out} 与 V_{fb} 之间的关系如图 2 所示. 当输入信号周期 T_{ref} 为 140 ns 时,近似认为 VCO 工作在中心工作频率,此时输出信号周期 T_{out} 为 35 ns 左右,这是由于在噪声等因素的影响下,PLL 锁定时 T_{out} 会出现随机变化,导致相位抖动,在文章第三部分中将会详细讨论.

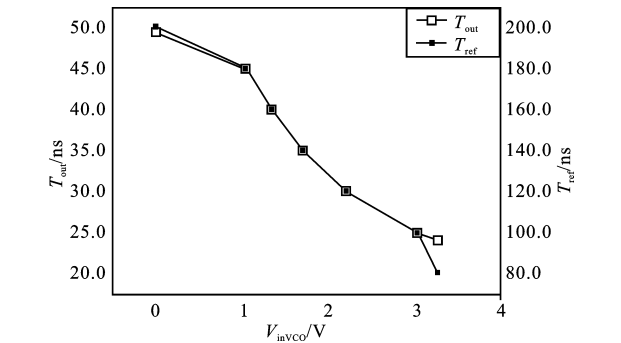


图 2 VCO 输入电压 V_{inVCO} 、输入参考周期 T_{ref} 与输出周期 T_{out} 关系图

3 仿真设置与仿真结果

3.1 SET 注入模型

利用传统的双指数模型^[5]模拟 SET 影响下 MOS 器件的漏端电流是不准确的,因为双指数电流源可能导致电路过驱动问题^[6],即电流源强行将节点电位偏置到高于 VDD 或低于 VSS 电位.为了得到较为准确的电路级 SET 注入模型,本文引入漏体端电压(V_{db})作为变量,如式(1)所示,并结合 TCAD 仿真结果与激光测试结果对模型进行校准.

$$I(t) = \begin{cases} 0; & t < t_{d1} \\ f(V_{db})(1 - e^{-\frac{(t-t_{d1})}{\tau_1}}); & t_{d1} \leq t < t_{d2} \\ f(V_{db})(e^{-\frac{(t-t_{d2})}{\tau_2}} - e^{-\frac{(t-t_{d1})}{\tau_1}}); & t_{d2} \leq t \end{cases} \quad (1)$$

式中, V_{db} 为漏体电压, $f(V_{db})$ 是 V_{db} 的函数, 由 TCAD 仿真数据拟合得到; t_{d1} 为粒子入射以前的延时; τ_1 为电流增大的时间常数, t_{d2} 为粒子入射使瞬态电流达最大值以前的延时; τ_2 为电流减小的时间常数. 通过校准参数可以得到 LET 为 $33.4 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时的电路级 SET 注入模型.

3.2 相位抖动定义

相位抖动(Phase Jitter)是衡量 PLL 性能的基本参数之一, 它可分为时间间隔抖动(Time Interval Error, TIE)、周期抖动(Period Jitter)以及相邻周期间抖动(Cycle to Cycle Jitter), 本文所指的相位抖动是周期抖动, 即 PLL 实际输出信号周期(T_{out})与 PLL 锁定时输出信号周期平均值(T_{avr})的差. 由于电路设计(如 CP 中电流源不匹配)、激光发生器电磁波等因素影响, PLL 的实际输出信号周期有可能偏离所设计的输出周期^[2], 因此取 PLL 稳定工作一段时间内输出信号周期的平均值作为 T_{avr} , 如式(2)所示, 其中 n 为 T_{out} 的样本数($1 \leq i \leq n$).

$$T_{\text{avr}} = \frac{1}{n} \sum_{i=1}^n T_{\text{out}}(i) \quad (2)$$

相位抖动反映了 SET 对 PLL 电路影响的程度^[2], 相位抖动越大说明 SET 对电路的影响越大, 因此可以用于对比电路中不同节点对 SET 的敏感性. PLL 稳定工作时的相位抖动出现频率呈现出正态分布, 如图 3 所示, 在中心工作频率下仿真结果的 T_{avr} 为 35 ns , 3sigma 用式(3)计算的结果为 274.3 ps .

$$T_{\text{jitter}} = \text{abs}(T_{\text{out}} - T_{\text{avr}}) \quad (3)$$

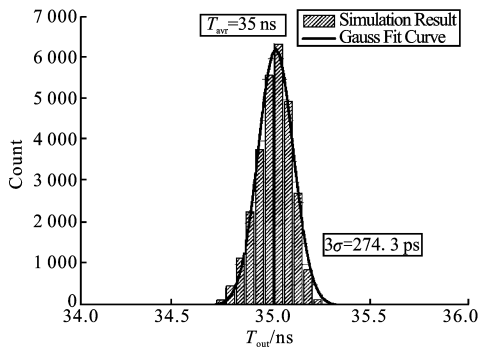


图3 PLL 稳定工作时输出周期仿真统计结果

3.3 仿真结果

PLL 电路级仿真采用了 Synopsys 公司的 HSPICE 仿真工具. 仿真过程中 T_{ref} 保持在 140 ns , 考虑了 2 个变化因素: SET 注入时刻和 SET 注入的电路节点. PLL 由 506 个 MOS 管构成, 每次仿真对不同电路节点进行 SET 注入, 从而完成了空间上的遍历. 当 PLL 锁定时, 内部电路工作状态以一定周期重复出现, 其中 VCO 工作状态的最小重复周期是 PLL 电路中最短的, 为 $T_{\text{ref}}/32$. 因此在每个 T_{ref} 内, PLL 的工作状态可大致分为 64 个. 将一个 T_{ref} 均匀划分为 64 个粒子入射时刻, 每个时刻之间的间隔相同, 分别仿真各个时刻下 SET 注入的情况, 从而完成时间上的遍历.

为确保仿真覆盖所有情况以达到统计的有效性, 综合上述 2 个因素的变化, 仿真次数为 32 384 次, 测量每个仿真中 SET 注入导致的相位抖动.

3.3.1 电路敏感节点分析

PLL 电路中 SET 如果受到逻辑屏蔽或滤波的作用, 则对输出造成影响十分有限, 因此某些电路节点对 SET 的敏感性明显较低, 表现为相位抖动小或相位抖动出现的可能性低. 按大小统计相位抖动出现次数, 如图 4 所示, 其中大图是所有电路节点的统计结果, 横轴为相位抖动大小, 纵轴为统计相位抖动出现的次数; 小图是 SET 作用于不同子电路模块时相位抖动的出现频率, 横轴为相位抖动大小, 纵轴为不同电路模块出现次数占总数的比例; 不同颜色柱状图代表激光入射不同电路模块的结果. 通过该图可以分析不同电路模块的 SET 敏感程度. 以相位抖动为 22.25 ns 的情况为例, 在所有仿真中这种相位抖动结果共出现了 20 次以下, 出现概率较低, 说明仅在某些时刻对敏感节点注入 SET 对 PLL 输出造成了最严重的影响, 其中有约 70% 的情况出现在 DIV 中, 30% 出现在 LVPECL 中. 同理, 图中其他范围相位抖动的分析类似.

不同电路模块对 SET 的敏感程度不同. 除 3sigma 范围内数据外, 大部分相位抖动都出现于 DIV 电路中, 构成该电路的 D 触发器是造成其 SET 敏感的主要原因. D 触发器的反向输出端与数据输入端相连, 当时钟上升沿到达时内部存储数据翻转, 起到分频作用. 如果 SET 作用于 D 触发器导致其数据翻转, 则 PLL 输出逻辑将会提前改变, 导致输出相位抖动增大. 由于增大的数值等于该 D 触发器翻转提前的时间, 相位抖动应小于 SET 所作用 D 触发器工作周期的一半. 第一级 D 触发器的工作周

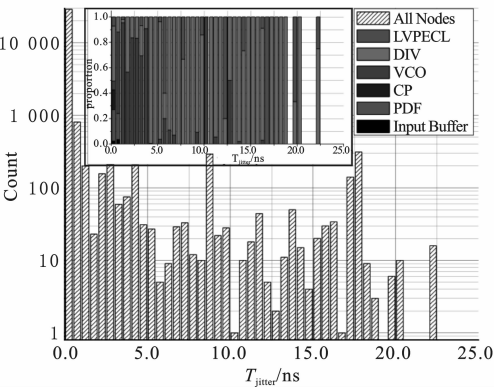


图 4 相位抖动分布的仿真结果

期小于最后一级 D 触发器,相比之下如果提前发生数据翻转,最后一级 D 触发器可能出现的翻转提前时间最大,可能产生的相位抖动最大,因此最后一级 D 触发器对 SET 最敏感. DIV 中的电压整形电路和 TSPC 由于工作周期小,且不具备锁存数据功能,产生于该模块的 SET 可能传播到第一级 D 触发器时钟输入端,造成 D 触发器误识别为 TSPC 输出的分频信号,导致第一级 D 触发器提前翻转,使 PLL 输出产生与该 D 触发器半个工作周期相等的相位抖动. 以最恶劣情况分析 DIV 模块,SET 作用于第一级 D 触发器产生的相位抖动小于第一级 D 触发器工作周期的一半,SET 作用于电压整形电路和 TSPC 产生的相位抖动等于第一级 D 触发器工作周期的一半,SET 作用于其他 D 触发器产生的相位抖动大于第一级 D 触发器工作周期的一半,因此可以认为 DIV 模块中对 SET 敏感的电路按增大顺序依次为第一级 D 触发器、电压整形电路和 TSPC、其他 D 触发器.

PLL 中其他电路模块的 SET 作用机理不同,但是分析方法类似,结果得到电路模块对 SET 的敏感程度按增大顺序依次为 Input Buffer、PFD、CP、VCO、LVPECL 以及 DIV.

3. 3. 2 电路敏感工作状态分析

PLL 锁定时,内部节点电压按一定周期重复出现,由于节点电压动态变化,周期内 SET 注入不同时刻对敏感节点造成不同程度的影响. 以 SET 最敏感模块 DIV 中的 D 触发器为例,对其中某一电路节点重复 SET 注入仿真,注入时刻在一个 T_{ref} 周期中均匀分为 64 个,结果如图 5 所示. 该 D 触发器位于 VCO 输出信号 8 分频的最后一级,其输出信号传递到 LVPECL 中,因此工作周期为 T_{ref} 的四分之一. 图中横轴(x 轴)代表相位抖动,纵轴(z 轴)代表相

位抖动的出现次数,可知 3sigma 数据以外的相位抖动在不同范围内出现的次数具有很好的一致性. 为区分 SET 不同注入时刻的影响,将图中数据按 y 轴方向展开,分解为单一注入时刻,如图 6 所示. 图 6 中 x 轴为相位抖动, y 轴为 SET 注入时刻, z 轴为仿真统计相位抖动的出现次数,该图向 xz 面投影可以得到图 5.

以 T_1 时刻的情况为例,注入时刻位于 T_{ref} 的上升沿附近,即 D 触发器工作周期的开始部分,SET 导致的相位抖动基本集中在 16 ns 左右,说明 SET 造成 D 触发器存储数据改变,输出逻辑的翻转提前出现. 由于 T_2 时刻距离 D 触发器正常工作的数据翻转时刻比 T_1 更近, T_2 的翻转提前时间较小,因而 T_2 相位抖动位于 14 ns 附近,比 T_1 处相位抖动小. T_9 至 T_{16} 注入时刻进入 D 触发器后半个工作周期,SET 对 D 触发器没有造成影响,所以输出相位抖动在 3sigma 范围以内. 在一个 T_{ref} 内,D 触发器的工作周期重复出现 4 次,因此在 T_{17} 、 T_{33} 和 T_{49} 处观察到与 T_1 处相当的相位抖动出现次数.

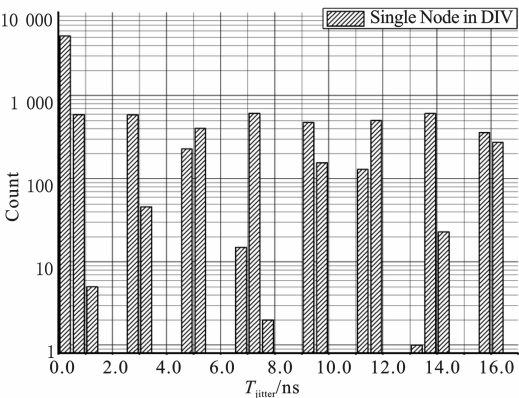


图 5 SET 作用于 DIV 中单个节点的相位抖动

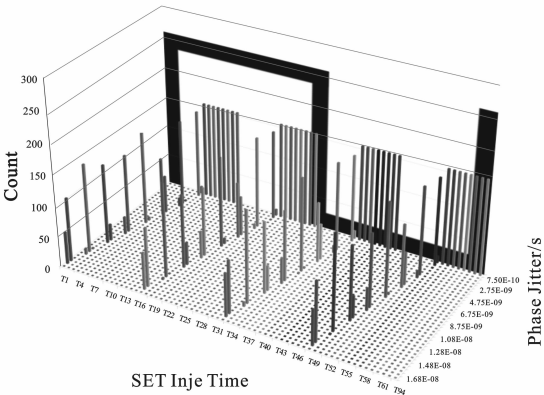


图 6 SET 作用于 DIV 中单个节点的相位抖动,不同注入时刻的分布情况

其他节点的敏感工作状态分析类似,对整体电路来说,SET 的影响可以分为对电路输出的影响以及出现该影响的可能性两个方面. SET 对电路造成影响的可能性与 SET 注入敏感节点的概率和电路的 SET 敏感工作状态出现的概率有关. 因此,SET 影响分析需要综合考虑 SET 敏感节点与电路的敏感工作状态,尤其是对某些电路的敏感工作状态出现频率较低但影响较大的敏感节点需要仔细分析.

4 激光实验设置与实验结果

4.1 激光实验设置

为验证仿真结果,该 PLL 芯片基于 0.35 μm PDSOI 工艺设计并制造,如图 7 所示. 实验采用基于单光子吸收的激光诱发载流子产生技术^[7-8],模拟单粒子入射.

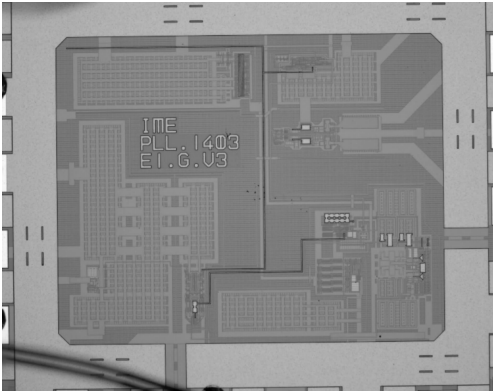


图 7 PLL 芯片概貌图

实验设置在文献^[7-8]中已做详细介绍. 输入参考信号 T_{ref} 在 139~313 ns 范围内 PLL 锁定,实验选取 PLL 工作在中心工作频率下, T_{ref} 为 200 ns, T_{avr} 为 49.99 ns,相位抖动 3sigma 约为 237.7 ps,如图 8 所示. 为了捕捉激光信号,实验中采用了输入阻抗 50 Ω ,采样率 50 GS/s 的 Tektronix DSA71254B 示波器. 实验过程中保持激光入射能量为 500 pJ. 由于激光光斑直径约为 1 μm ,以最小激光入射点间距 1 μm 左右,不断移动激光入射点,遍历 PLL 芯片上所有位置. 在每一个入射点,随机选取 64 个激光入射时刻,分别测量激光入射所致的相位抖动.

4.2 激光实验结果

按大小统计相位抖动出现次数,结果如图 9 所示,其中大图是所有电路节点的统计结果,横轴为相位抖动大小,纵轴为相位抖动出现次数;小图是 SET 作用于不同子电路模块时相位抖动的出现频率,横轴为相位抖动大小,纵轴为不同电路模块出现

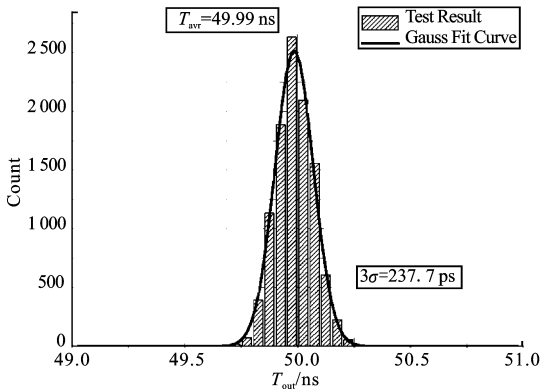


图 8 PLL 稳定工作时输出周期分布图

次数占总数的比例;不同颜色柱状图代表激光入射不同电路模块的结果. 通过该图可以分析不同电路模块的 SET 敏感程度. 以 25 ns 左右的相位抖动为例,在整体测试过程中这种情况出现了 20 次左右,其中约 10%发生在 VCO 中,35%发生在 LVPECL 中,55%发生在 DIV 中. 同理,图中其他范围相位抖动的分析类似.

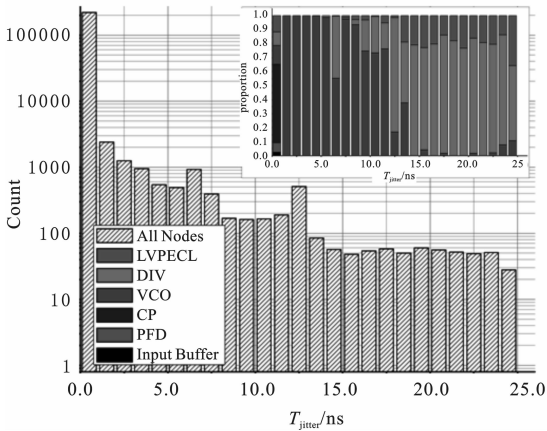


图 9 相位抖动分布的激光测试结果

除 3sigma 范围内数据外,较大的相位抖动大多出现在 DIV 与 LVPECL 中,稍小的相位抖动大多出现在 VCO 中. 其他模块的相位抖动则集中在 3sigma 范围内,对 PLL 输出影响较小. 采用与第三部分类似的分析方法,实验结果得到子电路对 SET 的敏感程度按增大顺序依次为 Input Buffer、PFD、CP、VCO、LVPECL 以及 DIV,结论与仿真结果相同.

5 结束语

分析 PLL 的 SET 敏感程度需要同时考虑 SET 对电路造成影响的大小以及该影响出现的可能性,

两者与电路节点和电路工作状态密切联系,这一结论同样适用于其他类型电路的 SET 敏感性研究.

本文分析了一款基于 $0.35\ \mu\text{m}$ PDSOI 工艺设计并制造的 PLL 电路的抗 SET 能力,通过电路级仿真确定了电路敏感结点与敏感工作状态,其中 DIV、LVPECL 的 SET 影响明显大于其他电路模块,且电路工作状态变化会改变 SET 的影响,应优先对该模块进行抗 SET 加固设计,分析结果对加固设计有指导价值. 仿真过程中利用了优化过的 SET 电路级仿真模型,采用该模型可提高预测结果的准确程度. 通过激光模拟单粒子实验测试了 PLL 电路,测试结果与预期一致,证实了仿真结论.

参考文献:

- [1] Boulghassoul Y, Massengill L W, Sternberg A L, et al. Towards SET mitigation in RF digital PLLs: From error characterization to radiation hardening considerations [J]. IEEE Transactions on Nuclear Science, 2006, 53:2047-2053.
- [2] Loveless T D, Massengill L W, Bhuva B L, et al. A hardened-by-design technique for RF digital phase-locked loops [J]. Ieee Transactions on Nuclear Science, 2006, 53: 3432-3438.
- [3] Chung H H, Chen W, Bakkaloglu B, et al. Analysis of single events effects on monolithic PLL frequency synthesizers [J]. IEEE Transactions on Nuclear Science, 2006, 53:3539-3543.
- [4] Loveless T D, Massengill L W, Bhuva B L, et al. A probabilistic analysis technique applied to a radiation-hardened-by-design voltage-controlled oscillator for

mixed-signal phase-locked loops [J]. IEEE Transactions on Nuclear Science, 2008, 55:3447-3455.

- [5] Zhao Z, Zhang M, Chen J, et al. A single-event transient hardened phase-locked loop in $0.18\ \mu\text{m}$ CMOS process [C]// IEEE International Conference on Asic. IEEE, 2009: 284-287.
- [6] Kauppila J S, Sternberg A L, Alles M L, et al. A bias-dependent single-event compact model implemented into BSIM4 and a $90\ \text{nm}$ CMOS process design kit [J]. IEEE Transactions on Nuclear Science, 2009, 56: 3152-3157.
- [7] Bi J S, Zeng C B, Gao L C, et al. Effects of metal spacing and poly-silicon layers on pulsed laser single event transient testing [C]// 2014 IEEE International Conference on Microelectronic Test Structures. IEEE, 2014:207-212.
- [8] Bi JinShun, Zeng ChuanBin, Gao LinChun, et al. " Estimation of pulsed laser—induced single event transient in a partially depleted silicon—on—insulator $0.18\ \mu\text{m}$ MOSFET" [J]. Chinese Physics B, 2014, 23: 631-635.

作者简介:

于 猛 男(回族), (1988-), 硕士研究生. 研究方向为高可靠性数模混合集成电路设计和测试.

曾传滨 男, (1979-), 副研究员, 硕士生导师. 研究方向为 SOI CMOS 器件及电路.

罗家俊(通讯作者) 男, (1973-), 研究员, 博士生导师. 研究方向为可靠性集成电路与器件设计技术.

E-mail: luojj@ime. ac. cn.